

⑫ 公開特許公報 (A)

平2-142117

⑬ Int. Cl. 5

H 01 L 21/205
21/76

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月31日

E

7739-5F
7638-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路の製造方法

⑯ 特 願 昭63-295235

⑯ 出 願 昭63(1988)11月22日

⑰ 発明者 古田 煎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

シリコン基板上にシリコン酸化膜を形成し、そのシリコン酸化膜を所望の幅にエッチングして分離酸化膜となる部分を残した後、その分離酸化膜を埋め込むようにシリコン基板をエピタキシャル成長させることを特徴とする半導体集積回路の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体集積回路の製造方法に関し、特に素子分離に関するものである。

〔従来の技術〕

半導体集積回路の素子分離において、最も一般的なものとして、LOCOS (Local Oxidation of Silicon) 法と呼ばれるものがある。以下、これを図について説明する。第2図において、1はシリコン基板、2はシリコン酸化膜、3はシリコ

ン酸化膜、4は層反転防止用の注入層、5はフィールド酸化膜、6はバードズ・ピーク (鳥の口ばしの形状部) である。

次にこの半導体集積回路の製造方法について説明する。第2図(a)はシリコン基板1にストレス緩和用のシリコン酸化膜2を形成した後、このシリコン酸化膜2上にシリコン酸化膜3を堆積する。第2図(b)は写真製版より、所望の所にフォトレジストをバーニングし、シリコン酸化膜3をプラズマエッチングにより除去し、層反転防止用のイオン注入を、フォトレジストをマスクにして行った後、そのフォトレジストを除去した所である。ついで、第2図(c)は熱酸化を行いフィールド酸化膜5を形成した後、熱リン酸などによってシリコン酸化膜3を除去したものである。この第2図(c)に示すようにシリコン酸化膜3があった部分にバードズ・ピーク6が成長する。第2図(d)のシリコン酸化膜3のプラズマエッチングによって作られた分離酸化膜(フィールド酸化膜5)は分離技術としてよく使われているものであるが、近年増え

微細化が進むにつれて、第2回に示されているように、バードズ・ピーク6と呼ばれる領域が問題となってきた。特に $1\mu m$ レベルの半導体集積回路になる分離幅を小さく作ることが重要である。

そのため、様々な改良が加えられてきたがいずれも、短いバードズ・ピーク6とシリコン基板1へのストレスとが二律相反する所があり、中々うまくやかなかつた。
(発明が解決しようとする課題)

このように従来の半導体集積回路の製造方法における分離技術ではバードズ・ピークのために幅の狭い分離酸化膜を作るのが困難であるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、原理的には $0.1\mu m$ 以下の分離酸化膜を提供することができる半導体集積回路の製造方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体集積回路の製造方法は、シリコン基板1上にシリコン酸化膜7を形成し、そのシリコン酸化膜7を所望の幅にエッチングし、

分離酸化膜7Aとなる部分を残した後、その分離酸化膜7Aを埋め込むようにシリコン基板1をエピタキシャル成長させることを特徴とするものである。

(作用)

この製造方法において、シリコン基板1上に形成されたシリコン酸化膜7は所望の幅にエッチングされ、これにより、分離酸化膜7Aがシリコン基板1上に残り、シリコン基板1をエピタキシャル成長させることにより分離酸化膜7Aが埋め込まれる。

(発明の実施例)

以下、この発明の一実施例を図について説明する。

第1回において、1はシリコン基板、4は層反転防止用の注入層、7はシリコン酸化膜、7Aは分離酸化膜、8はエピタキシャル層である。第1回はシリコン基板1に比較的厚いシリコン酸化膜7を熱酸化により形成した所である。第1回は写真製版技術により、フォトレジストをバタ-

ニングした後、シリコン酸化膜7をプラズマエッチングにより異方的にエッチングし分離酸化膜7Aを残す。この時のシリコン酸化膜7の幅が分離幅となる。ついで、第1回のシリコン基板1のエピタキシャル成長により、エピタキシャル層8を形成する。このとき、シリコンエピタキシャル層8は分離酸化膜7Aよりも若干薄くなるように設定しておく。つまり、分離酸化膜7Aはエピタキシャル層8より厚く、頭を出している状態に設定する。引き続いて、第1回の層反転防止用の注入層4をシリコン基板1の上部に高エネルギー注入により形成した後、所定の温度でアニールする。その後、このエピタキシャル層8内に半導体集積回路の素子を形成する。このようにして、作られた分離酸化膜は写真製版によって作られる幅により、幅が決定されるので、原理的には幅 $0.1\mu m$ 以下の分離酸化膜も作ることが可能である。

なお、上記の実施例では層反転防止用の注入層を分離酸化膜形成後に設けたが、これはNチャネ

ルMOS形半導体集積回路については特に必要であるが、PチャネルMOS形半導体集積回路については必ずしも必要ではない。しかしながら、この場合、層反転防止用の注入層は、MOSダイナミックRAMのソフトエラー防止用の注入層としても利用することができる。

(発明の効果)

以上のように本発明によれば、シリコン基板上にシリコン酸化膜を形成し、そのシリコン酸化膜を所望の幅にエッチングし、分離酸化膜となる部分を残した後、その分離酸化膜を埋め込むようにシリコン基板をエピタキシャル成長させるようにしたので、従来のようなバードズ・ピークが生せず、原理的には $0.1\mu m$ 以下の分離酸化膜を提供でき、これにより集積化の向上を図れるという効果が得られる。

4. 図面の簡単な説明

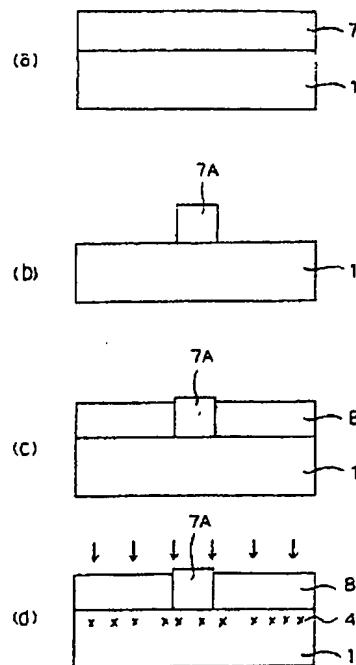
第1回(a)～(d)はこの発明の一実施例に係る半導体集積回路の製造方法を説明するための図、第2回(a)～(d)は従来の半導体集積回路の製造方法を説

明するための図である。

1……シリコン基板、7……シリコン酸化膜、
7A……分離酸化膜、8……エピタキシャル層。

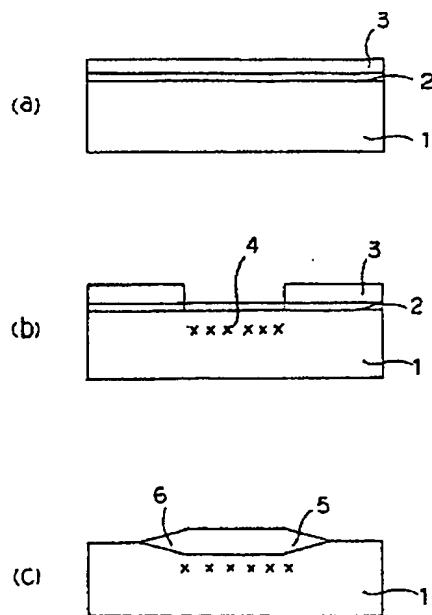
代理人 大 岩 増 雄 (ほか2名)

第1図



1:シリコン基板、4:注入層、7:シリコン酸化膜、
7A:分離酸化膜、8:エピタキシャル層

第2図



THIS PAGE BLANK (USPTO)